

Rechnerarchitektur

SS 2017

Übungszettel 5

15. Ein Pipeline-DLX-Prozessor hätte für ein Programm den CPI-Wert 1.2, aber durch Auftreten von Hazards brauchen 35% der Befehle zusätzlich einen Stall und weitere 15% der Befehle sogar zwei Stalls.

Durch eine Hardware-Erweiterung könnte die CPI-Rate für das Programm auf 1.1 reduziert werden. Dafür müsste allerdings die Taktfrequenz des Prozessors um 15% verringert werden.

Führt die Hardware-Verbesserung zur schnelleren Ausführung des Programms?

Begründen Sie Ihre Antwort.

16. Gegeben ist folgender Programmabschnitt für die DLX-Pipeline:

```
ADD R1, R2, R3
SUB R4, R1, R5
AND R6, R1, R7
OR R8, R1, R9
XOR R10, R1, R11
```

Wie viele Taktzyklen werden für die Ausführung dieses Programmabschnitts benötigt

- (a) in der klassischen Pipeline (d. h. ohne Forwarding und Takthalbierung)?
 - (b) wenn Takthalbierung möglich ist?
 - (c) wenn in der Pipeline-Unit Forwarding-Hardware vorhanden ist?
17. Die unten angegebene Befehlssequenz wird auf einer DLX mit Pipeline ausgeführt, wobei die Pipeline folgende Eigenschaften aufweist:
- i. Speicherzugriffe auf Daten und Instruktionen sind gleichzeitig möglich (d.h. IF und MEM im gleichen Takt).
 - ii. Forwarding ist nicht vorhanden.
 - iii. Der Takt ist in Schreib- und Lese-Phase für Registerinhalte geteilt (d.h. Register schreiben in Phase WB und Register lesen in Phase ID ist gleichzeitig möglich).

```
LW R1, b
LW R2, c
ADD R2, R1, R2
LW R1, e
SW a, R2
LW R2, f
SUB R1, R1, R2
SW d, R1
TRAP 0x0
```

- (a) Welcher Hazard-Typ kann wegen Eigenschaft i. vermieden werden? Begründen Sie Ihre Aussage.
- (b) Wann steht der Wert des Zielregisters eines ALU- oder Loadbefehls frühestens zur Verfügung?
- (c) Beschreiben Sie den Ablauf der gegebenen Sequenz durch ein Taktzyklusdiagramm. Geben Sie die CPI-Rate der Sequenz an.
- (d) Beantworten sie die obigen Punkte b. und c. unter der Annahme, daß nun Forwarding eingeschaltet ist. Dies bedeutet bei der DLX in diesem Fall, daß Forwarding für ALU-, Load- und Store-Befehle möglich ist (und daß bei Store-Befehlen der zu speichernde Wert erst direkt nach der MEM-Phase der Store-Instruktion geliefert werden kann). Markieren Sie im Taktzyklusdiagramm, wo Forwarding stattfindet.